

新型デジタルクロック生成器

クロック生成回路は、あら

ゆる電子機器に用いられる必須の構成部品であり、低消費電力かつ小面積であることが求められている。東京工業大学大学院理工学研究科の松澤昭教授、岡田健一准教授らの研究グループは、アナログデジタル変換器（ADC）を用いた新方式のデジタルクロック生成器の開発に成功した。

低消費電力で動作

に研究されてきた。

従来のデジタル型クロック発生回路では、フィルタをデジタル化することにより面積が小さくできるが、消費電力が大きくなることが問題であった。位同期に必要な時間差デジタル変換器が、大きい電力を必要とするためである。

研究グループでは、位同期のために、時間差ではなく電圧差を用いることでこの問題を解決した。つまり、発振器の出力を標本化（サンプリング）し、直接、電圧差をデ

東工大グループ開発

ジタル変換する「電圧サブサンプリング技術」により実現した。

最小配線半ピッチ65nmの

シリコンCMOSプロセスで

新型デジタルPLLを試作。

2.2GHzのクロックを生

成可能で、クロックの揺れが

発信周期の0.08%の非常に

良好なジッタ特性（クロック

の重要な特性の一つ。クロック

信号の立ち上がり、または

立ち下がりタイミングが揺ら

ぐ現象で、本来のタイミング

からのずれが統計的にどれだけの幅を持つかで評価する）

を達成した。消費電力は4.2mWと低い。

この技術が実用化されれば、身のまわりのあらゆる電子機器に超小型バッテリーレスセンサーを組み込むことができる。

岡田准教授の話「この研究成果により、純度の高いクロック信号を小型かつ低消費電力で生成することができ、モバイル機器を中心に、電子機器の低消費電力化が可能な技術で、すぐにでも実際の製品に使えうるものです。興味を持って頂いている企業と協力して、実用化に向けて研究を進展させていきたいと考えています」