

本サービスにおける著作権および一切の権利はアイティメディア株式会社またはその情報提供者に帰属します。また、本サービスの出力結果を無断で複写・複製・転載・転用・頒布等を行うことは、法律で認められた場合を除き禁じます。

新技術:

A-Dコンバータを用いた新方式PLLを開発

<http://eetimes.jp/ee/articles/1503/10/news081.html>

東京工業大学は2015年3月10日、同大学教授の松澤昭氏らの研究グループが、A-Dコンバータを用いた新しい方式のデジタルクロック生成器の開発に成功したと発表した。

2015年03月10日 11時55分 更新

[竹本達哉, EE Times Japan]

東京工業大学は2015年3月10日、同大学教授の松澤昭氏らの研究グループが、A-Dコンバータを用いた新しい方式のデジタルクロック生成器の開発に成功したと発表した。従来のデジタルPLL (Phase Locked Loop: 位相同期ループ) に比べ、低消費電力、低ジッタで動作することを確認したという。

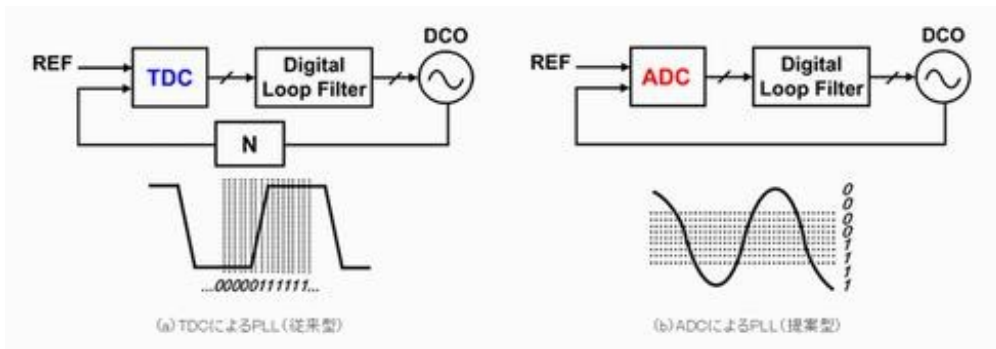
クロック生成回路は、低ジッタかつ低消費電力であることが求められる。クロック生成には、通常、PLLが用いられるが、従来のアナログ方式のPLLでは、フィルタの面積が大きいという問題を抱え、より小型化できるデジタルフィルタを用いるデジタルPLLの開発が進んでいる。

デジタルフィルタは、フィルタ部分の面積を縮小でき、所望の周波数に達するまでのロック時間を短くできる特徴を持つ。なお、デジタルPLLでは、発振器の出力を分周した信号と基準信号との時間差を検出する時間差デジタル変換器 (Time to Digital Converter/以下、TDC) が用いられる。

帰還ループのデジタル化は、柔軟、堅牢な制御が行える一方で、TDCの時間分解能をあまり高くできず、それによりジッタが劣化するという欠点がある。具体的には、TDCの時間分解能が粗いと、帯域内位相雑音が劣化し、ジッタが大きくなる。

時間差よりも電圧差で

これに対し、松澤昭氏と同大学准教授 岡田健一氏らの研究グループは、時間差を検出するよりも、電圧差の方が高精度で検出できることに着目し、TDCの代わりにA-Dコンバータを用いるPLLを考案した。



デジタルPLLの校正。デジタル型位相同期回路(PLL)において、従来は時間デジタル変換器(TDC)が用いられていたが、提案型ではアナログデジタル変換器(ADC)を用いることにより、非常に良好なジッタ特性の実現が可能(クリックで拡大) 出典:東京工業大学

TDCを用いた従来の時間軸処理に対する、A-Dコンバータを用いた新方式の電圧軸処理の利点は次の通り。

1. 容量により電圧値をサンプリングできる
2. 正確に線形な電圧増幅ができる
3. ジッタを減らすのに、余分な電力が不要
4. ばらつきや電源電圧・温度変化などにより基準電圧範囲が変動しない
5. 抵抗ラダー(抵抗をはしご形に接続した回路)などにより容易に中間の電圧値を生成できる

TDC型デジタルPLL(従来)とADC型デジタルPLL(本技術)の特徴比較

	従来技術 TDCを用いた時間差→デジタル変換	新技術 ADCを用いた電圧差→デジタル変換
線形性	低い	非常に高い
分解能	普通	高い
ジッタ	内部ジッタを抑えるために大電力が必要	低い
東京工業大学の発表資料より作成		

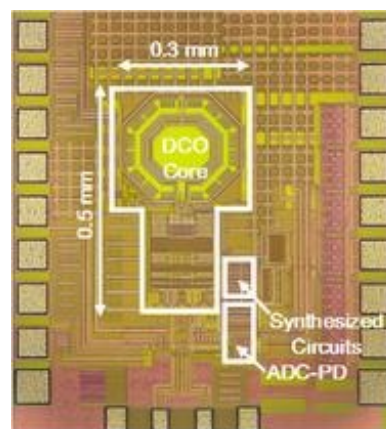
65nm CMOSプロセスを用いて試作

こうした利点により、電圧差による位相検出の方が、より高分解能かつ低消費電力な特性を実現できるとする。同大学では、「デジタルPLLにこのADCによる位相検出器を用いれば、非常に低い帯域内位相雑音かつ低ジッタ特性の実現が可能となる。消費電力も低くできる」としている。

同研究グループは、A-Dコンバータを用いた新規デジタルPLLを、65nm シリコンCMOSプロセスで試作し、4.2mWの消費電力を用い、2.2GHzの周波数で発振させることに成功。帯域内位相雑音は-112dBc/Hz、クロックの揺れを表すジッタ特性は、RMS値で380fs、発振周期に対して0.08%という値を達成したとする。

従来のTDC型PLLとの性能比較

	新方式ADC型PLL	C. Hsu JSSC'09	C.Yao JSSC'13	Chilara ISSCC'14
方式	ADC-based	TDC-based	TDC-based	TDC-based
周波数	2.2GHz	3.6GHz	2.7GHz	2.4GHz
RMSジッタ	380fs	200fs	230fs	1.71ps
帯域内位相雑音	-112dBc/Hz	-107dBc/Hz	-110dBc/Hz	-90dBc/Hz
PLL FoM	-242dB	-237dB	-240dB	-236dB
消費電力	4.2mW	47mW	17mW	0.9mW
面積	0.15mm ²	0.95mm ²	0.62mm ²	0.20mm ²
東京工業大学の発表資料より作成				



65nm CMOSプロセスを用いた試作チップ（クリックで拡大）出典：東京工業大学

同大学は、「無線機の小型・低消費電力化、マイクロプロセッサや専用LSIの大幅な低消費電力化・高速化・小型低価格化に威力を発揮する技術といえる。超小型バッテリーレスセンサーなどあらゆる機器に組み込むことが期待される」としている。

関連記事



[RF\(高周波\)編:次世代ウェアラブルを支える最先端の無線回路技術](#)

ISSCC2015では、RF関連の発表件数が27件と、かなり多い。これらは3つのセッションに分かれて発表される。今回は、3つのセッションに沿って、RF関連の注目論文を紹介していこう。



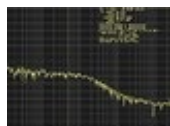
[サイプレス、5年ぶりのタイミング製品を投入](#)

Cypress Semiconductor(以下、サイプレス)は2015年4~6月に、プログラマブルクロックジェネレータ「CY27410」を量産出荷すると発表した。同社がクロック関連製品を投入するのは、約5年ぶり。



[第11回 高周波出力に対応した水晶発振器を解説](#)

今回は、特定の用途に向けて仕様を最適化した水晶タイミングデバイスのうち、通信機器やネットワーク機器を対象にした品種を紹介します。



[位相雑音測定器が多彩に、最適機は用途で選ぶ](#)

位相雑音を高い精度で手軽に測定できることを売りにした測定器が、最近になって相次いで登場している。それらは、それぞれ特徴的な機能を備えるほか、利害得失がある。従って、「最適」な測定器は測定対象とする信号源や、測定結果をどのように活用したいかによって違う。各測定器の特徴や使いどころを解説する。

[シリコンタイミング ~ 水晶市場を狙う新提案が続々](#)

半世紀ほど前に、電子部品の世界で大きな世代交代が起きた。かつて主役を担った真空管に取って代わって、Si(シリコン)技術で製造するトランジスタがその座に着いたのである。「発振器にも、同じ変革が起きる」――。これまで発振器の市場では、水晶発振器が絶対的な地位を築いてきた。今その交代劇をもくろむのは、シリコン技術で製造するMEMS発振器やCMOS発振器を手掛ける半導体ベンダーだ。シリコン化の最新動向を紹介する。

Copyright © 2015 ITmedia, Inc. All Rights Reserved.

