

# 低電力で高性能

## デジタルクロック生成回路 ADC採用の新方式

東工大

要素回路。従来のアナログ方式のPLLはフィルタの面積が大きい課題があり、近年、デジタルフィルターを用いるデジタルPLLが盛んに研究されている。研究チームは、位同期を電圧差の検出によって行うという新たな発想

に基づき、発振器の出力を直接、標準化する電圧サブサンプリング技術を使ってデジタルクロック生成回路を開発した。最小配線半ビット65ナノ(ナノは10億分の1)のシリコン相補型金属酸化半導体(CMOS)プロセスで回路を試作した。2・2GHz(キガは10億)のクロックを生成可能で、クロックの揺れが発振周期の0・08%と良好な波形のゆらぎ(ジッタ)特性を持つ。消費電力は4・2μワと低い。実用化すれば、身の回りのあらゆる電子機器に小型のバッテリーレスセンサーが組み込めるようになる」とみている。

東京工業大学大学院理工学研究科の松澤昭教授と岡田健一准教授らの研究チームは、アナログ・デジタル変換器(ADC)を使った新方式のデジタルクロック生成回路を開発した。従来のデジタル位同期回路(PLL)に比べ、同等以上の低消費電力で性能は上回る。米サンフランシスコで開催中の「国際固体素子回路会議(ISSSC 2015)」で発表した。

クロック生成回路はあらゆる電子機器に必要な