

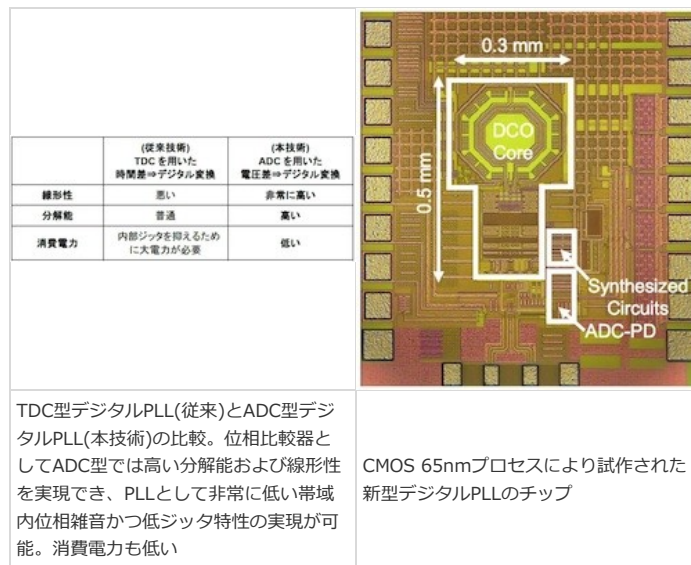
## 東工大、ADCを用いた低ジッタ動作の新方式デジタルクロック生成器を開発

日野雄太 [2015/02/24]

東京工業大学(東工大)は、A/Dコンバータ(ADC)を用いた新方式のデジタルクロック生成器を開発し、従来のデジタルPLLに比べ、低消費電力かつ低ジッタで動作することを確認したと発表した。

同成果は、同大大学院 理工学研究科の松澤昭教授と岡田健一准教授らによるもの。詳細は、2月22日から米国サンフランシスコで開催されている「国際固体素子回路会議ISSCC 2015(IEEE International Solid-State Circuits Conference 2015)」にて発表される。

今回、位相同期を電圧差の検出によって行うという新たな発想に基づき、発振器出力を直接、標本化する電圧サブサンプリング技術により実現したという。従来のデジタルPLLは位相同期のために時間差検出による帰還(フィードバック)制御を行っていたが、時間差検出の分解能を高くできないことが課題だった。これに対し、新技術はこの課題を解決する成果で、最小配線半ピッチ65nmのシリコンCMOSプロセスで試作した新型デジタルPLLは、2.2GHzのクロックを生成可能であり、クロックの揺れが発振周期の0.08%と非常に良好なジッタ特性を達成した。また、消費電力も4.2mWと低く抑えられている。同技術が実用化されれば、身のまわりのあらゆる電子機器に超小型バッテリーレスセンサを組み込むことが可能になるとコメントしている。



【みんなとシェアする】