

新技術・新製品

## 東工大、小型・省エネ型クロック生成回路を開発ーデジタル回路で構成

掲載日 2014年02月21日

Tweet 16

いいね! 0

1  0

東京工業大学大学院理工学研究科の松澤昭教授、岡田健一教授らの研究チームは、デジタル回路で構成し、小型・低消費電力を実現したクロック(動作周波数)生成回路を開発した。水晶発振器からの低いジッタ(ゆれ)の基準信号を入れることで、フィードフォワード制御(あらかじめ出力変動を起こす外乱を予測し、打ち消す制御方式)による位相同期を実現した。無線機や超小型演算処理装置(MPU)などに同生成回路を組み込めば、機器の小型・低消費電力化につながる。

開発したのは、回路線幅65ナノメートルシリコン相補型金属酸化膜半導体(CMOS)プロセスによる半導体チップ。チップ面積は0.0066平方ミリメートルと小さく、ジッタも1.7ピコ秒と微小。40メガヘルツから300メガヘルツの基準信号に対して0.4ギガー1.4ギガヘルツの動作周波数を生成し、出力0.9ギガヘルツで消費電力0.78ミリワットを達成した。

[記事の続きや他の記事は、有料電子版でご覧いただけます。](#)

---

[戻る](#)