

データ・コンバータ分野は超高効率のA-D変換器などが登場

飯塚 哲也=東京大学、三木 隆博=ルネサスエレクトロニクス

2014/02/17 14:22

ISSCC 2014のデータ・コンバータ分野の発表は昨年の15件から2件増え、二つのセッションと一つのハーフセッションで構成された。セッション11では主にセンサーネットや医療機器、モバイル機器向けの比較的低速かつ電力効率の高いデータ・コンバータ技術、セッション22では1Gサンプル/秒以上の変換速度を持つ高速データ・コンバータ技術、さらにセッション29では $\Delta\Sigma$ 型の構成を含む主に無線通信機器に向けたデータ・コンバータ技術が発表された。

今年のデータ・コンバータ分野のセッションはいずれも最も広い会場で行われたが、常に立ち見が出る盛況ぶりであり、本分野への変わらない関心の高さがうかがえた。今回のISSCCでも昨年に引き続き逐次比較型のA-D変換器(ADC)に関する提案が数多く採択された。昨年の7件に続き、本年は8件が逐次比較型を採用している。

セッション11では、逐次比較型の構成を採用し、ADCの電力効率を表す性能指標(FOM注1)が1変換ステップ当たり1fJを切るADCを国立台湾大学が業界で初めて発表した(講演番号11.2)。サブレンジ型と逐次比較型を組み合わせたアーキテクチャを採用するとともに、内部D-A変換器(DAC)およびコンパレータの最適化により消費電力を大幅に削減し、10ビット200kサンプル/秒を達成しながら高効率のADCを実現した。

また、本セッションでは主にECGなどの生体信号に代表される比較的变化の少ない信号向けに特化した逐次比較型のADCが米Massachusetts Institute of Technologyから発表され、興味を引いた(講演番号11.3)。入力信号に変化が発生したときのみ、その変化に応じて比較を行うため、10ビット4kサンプル/秒を実現しながら0.5nWという極低消費電力での動作を実現した。データ・コンバータにおいても特定用途向けに特化した構成とすることで極めて効率の良い変換技術が実現できることを実証する内容であった。本発表は前日夜のデモセッションにおいても試作チップのデモを行っており、観客の声をマイクロフォンで取得し音声に応じて消費電力がリアルタイムに変化する様子が確認でき、そちらも盛況だった。

セッション22では8ビット、90Gサンプル/秒を達成するADCをIBM社とスイス連邦工科大学ローザンヌ校が発表し、大きな注目を浴びた(講演番号22.1)。最終日の朝一番の発表だったが、会場は多くの聴講者であふれていた。本ADCも逐次比較型を採用しており、ISSCC 2013で同グループが発表した逐次比較型ADCを応用し、64並列のインターリーブ動作で今回の超高速化を達成している。100Gサンプル/秒に迫る変換速度に対応するため、入力信号のサンプリングおよび各チャネルへの分配部分やチャネル間のばらつきに対するキャリブレーションなどについて発表され、発表後は会場からも主にこれらの点に関して質問が集中した。

同セッションでは高速化のためほとんどの発表がインターリーブ動作を用いたADCとなっているが、伊仏STMicroelectronics社はインターリーブ動作ADCに向けた、チャネル間のミスマッチに対するデジタル補正技術を発表した(講演番号22.5)。通常広く用いられるキャリブレーション手法としては、各チャネル間のクロックのタイミング、DACや比較器の性能を直接操作し補正することが現在のところ主流である。これに対し本発表では、ADC後段のデジタル回路を用いてA-D変換後のデジタルデータから必要なフィルタ係数を推定し、デジタルフィルタで全ての補正を行う点が特徴的だ。

このような技術は数年前から提案されていたものの、対象となるADCのチャネル数や変換速度などに制約があった。本発表は9ビット、1.62Gサンプル/秒、12チャネルという実用レベルのADCにおける実証例であり、大きなインパクトがあった。チップ写真からは補正のためのデジタル回路がかなりの面積を占めていることが見て取れたが、プロセス技術の進歩に対して親和性の高い構成であるため本技術は今後さらに注目を浴びていこう。デモセッションにおいても、キャリブレーションを外部から無効・有効と切り替えることでチャネル間のばらつきにより発生する雑音成分が抑圧される様子とその場で確認でき、完成度の高さがうかがえた。

東京工業大学は、電圧-時間変換によって時間差情報に変換された入力電圧を、デジタル回路の高い時間解像度によってデジタル信号に変換するタイムベース・フォールディング・フラッシュ型ADCを提案した(講演番号22.6)。デジタル論理ゲートを主に用いた構成のため、プロセス技術の進歩に対して親和性が高く、またスタティックな電流を消費しない点、さらにキャリブレーションを行うことなく7ビット、2.2Gサンプル/秒を実現している点など、タイムベースADCの新たな可能性を示す発表だった。

セッション29では主にRF回路への応用を想定したADCが3件発表された。特に、米Analog Devices社が発表した、1Gサンプル/秒の高速サンプリングで14ビット解像度を達成するパイプライン型ADCが注目を集めた(講演番号29.3)。高解像度を達成するため、ひずみキャンセル技術やデジタル補正技術を数多く駆使しており、動作温度や電源電圧変動への耐性を高めつつ高い性能を実現した。

テクニカルセッション以外では、イブニングパネルセッションとして、データ・コンバータ分野から「Anatomy of Innovation: Bug or Feature?」が企画された。これまで各分野で数々のイノベーションを起こしてきた技術者が登壇し、その発明は計画的な検討の積み上げによって達成されたものなのか、それとも失敗から偶然に得られたものなのか、について裏話を交えた事例を紹介し、今後もイノベーションを起こしていくにはどのような心構えで臨むのがよいのかについて議論がなされた。さまざまな意見がある中で印象的だったのは、「イノベーションには忍耐/粘り強さが必要だ(Patient/Persist)」という点ではいずれの登壇者の意見も一致していたことである。ISSCCのイブニングパネルに登壇するような優れた技術者たちも、多くの忍耐を通して数々のイノベーションを起こしてきたのである。

注1) FOM = 電力 / (変換速度 × 2有効ビット数)

この記事のURL: <http://techon.nikkeibp.co.jp/article/EVENT/20140217/334480/>

Copyright © 1995-2014 Nikkei Business Publications, Inc. All rights reserved.

このページに掲載されている記事・写真・図表などの無断転載を禁じます。著作権は日経BP社、またはその情報提供者に帰属します。