Tech-On!

ISSCC(International Solid-State Circuits Conference)2013

【ISSCCプレビュー】高性能デジタル：大規模システム向けのプロセサが続出、Intelの発表は0件へ

林 宏雄＝東芝 2012/11/29 13:08

「ISSCC 2013」の高性能デジタル分野では、8件のプロセサの論文、9件の要素回路の論文が発表される。

プロセサのセッションでは、32nmおよび28nm世代プロセスの浸透、コア数の増加、大容量オンチップ・キャッシュ・メモリの搭載、先進的な高速IOの集積が進んでいることが示され、消費電力削減、PVT（プロセス・電圧・温度）ばらつき、信頼性などの課題への取り組みも紹介される。

米IBM社は、6個の5.5GHzコアと48Mバイトの混載DRAM L3キャッシュを持つ最新のメインフレーム用プロセサを発表する[3.1]。598mm^{2}のダイに27億5000万個のトランジスタを集積する。メタル15層の32nm世代high-k/メタルゲートSOI技術で実装される。これらのチップ6個が、2個の192MバイトL4キャッシュ・チップとともに、102層のマルチチップ・モジュールに実装され、合計530Gバイト/秒ものバンド幅を実現する。

富士通は、ミッションクリティカル用途向けのSPARC64マルチコアを発表する[3.8]。3.0GHz動作、16コア、24Mバイト共有L2キャッシュを搭載し、システム、DDR3、PCI Expressとのインタフェースを持つSPARC64-Xプロセサである。メタル13層、28nm世代CMOS技術で製造され、ダイ・サイズは588mm^2、トランジスタ数は30億個。

これら大規模システム向けのプロセサの他に、米AMD社から同社では初の28nm世代プロセスを用いた低消費電力SoC向けのx86プロセサ[3.4]などが発表される。なお本分野で、前回8件あった米Intel社からの発表が、今回は0件となっている。

高性能デジタルの要素技術のセッションでは、クロック生成・分配、オンダイ・センサ、ダイ間通信、およびタイミング・マージンの改善に関する新技術が紹介される。PLLなどの回路には、従来アナログ技術が用いられてきたが、近年デジタル・アーキテクチャの導入が進められている。これにより、PVTばらつきに対する耐性、面積、電力効率が改善され、さらにプロセス技術の移行が容易となる。

東京工業大学から0.022mm^{2}の2重ループ構造をもったインジェクションロックPLLの発表が行われる[14.1]。メイン・ループはインジェクションロックにより位相同期を、レプリカ・ループはPVTキャリブレーション機構を持つ周波数同期を実現する。0.7ps RMSジッターを実現した。

コンシューマー向け製品の短い設計サイクルに対応するために、設計工数の削減を可能とした、高度にデジタル化されたPLLが、韓国Samsung Electronics社から紹介される[14.4]。28nm世代CMOS技術で製造され、最小面積0.026mm^{2}を実現。消費電力は出力周波数1GHz時2.2mW、同2GHz時5.3mW。

これらPLL関連の発表以外にも、慶応義塾大学による容量結合を用いた3次元クロック分配[14.6]など、さまざまな要素技術が紹介される。

この記事のURL：http://techon.nikkeibp.co.jp/article/EVENT/20121129/253471/

Copyright © 1995-2012 Nikkei Business Publications, Inc. All rights reserved.
このページに掲載されている記事・写真・図表などの無断転載を禁じます。著作権は日経BP社、またはその情報提供者に帰属します。