

モバイル機器の 60GHz帯通信に道、局部発振器の位相雑音で世界最小を達成

2010/12/10

前川慎光

モバイル機器で、60GHz帯のミリ波通信を使う時代へ…。東京工業大学の研究グループは、位相雑音を従来に比べて1/100以下に削減した局部発振器を開発した(図1)*¹⁾。4相の正弦波出力が可能な局部発振器である。「60GHz帯に対応した4相正弦波出力の発振器として、世界で最も位相雑音が小さい」(東京工業大学大学院理工学研究科電子物理工学専攻の准教授である岡田健一氏)という。

これまで報告されていた、4相の正弦波出力が可能な発振器の位相雑音は、最小レベルでも1MHz離調時に-75dBc/Hzだった。これに対して新たに開発した局部発振器の位相雑音は、1MHz離調時に-96dBc/Hzと小さい。

位相雑音が-96dBc/Hzと小さければ、部品点数や消費電力を抑えられ、モバイル機器に適した「ダイレクトコンバージョン方式」と呼ぶ無線通信回路に使える。「これまで、ダイレクトコンバージョン方式の無線通信回路を、60GHz帯で実現する上で最も大きな課題は、局部発振器の特性だった。この課題の解決を狙った」(同氏)という。

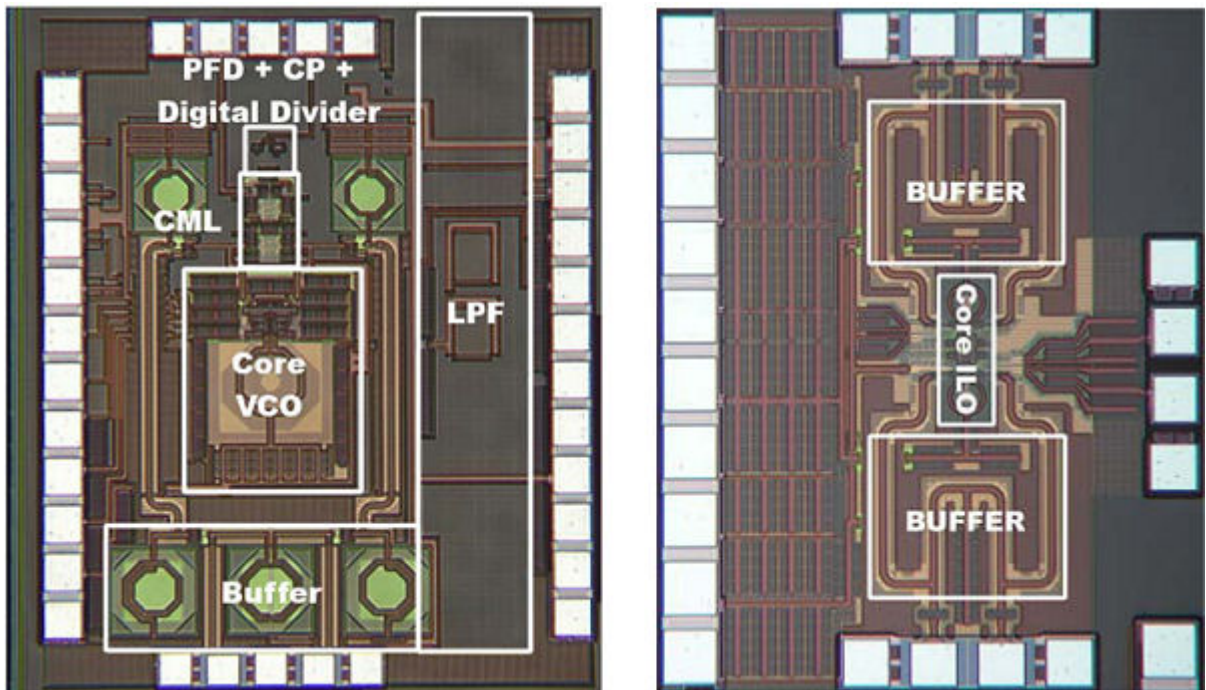


図 1 60GHz 帯を使う無線通信回路に向けた局部発振器

左は 20GHz 帯出力の位相同期ループ(PLL)回路、右は 60GHz 帯の注入同期型発振器(ILO)である。周波数が 58.0GHz~63.6GHz の範囲で 4 相の正弦波出力が可能である。位相雑音は 1MHz 離調時に -96dBc/Hz と低く、16 値の QAM に適用可能な特性だ。

無線通信の要である局部発振器

一般に、無線通信回路の高周波(RF)送受信(トランシーバ)部は、RF 信号を増幅するパワーアンプ(PA)や低雑音アンプ(LNA)、異なる周波数の信号を掛け合わせるミキサー回路、局部発振器といった要素回路で構成している。

これらの要素回路のうち、無線通信に必要な搬送波信号を生成する局部発振器は、無線通信回路の特性を左右する要となる。デジタル変調方式の場合、局部発振器が生成する信号は、位相が互いに 90 度ずれた I 信号と Q 信号である。それぞれが差動信号のとき、合計 4 相の正弦波出力が必要になる。

これまで、4 相正弦波出力の局部発振器を構成するには、出力周波数の 2 倍に相当する周波数の信号を生成しておき、分周し 4 相出力を得る方法や、2 相正弦波出力の発振器を 2 つ用意してうまく組み合わせる方式、ポリフェーズフィルタを使う方式など、いくつかの方法があった。ただ、いずれの方法も、60GHz 帯では最適な方法とは言えなかった。技術的な難易度が極端に高かったり、位相雑音を下げるのが難しかったりという課題があった。

RFトランシーバ回路を試作済み

そこで、東京工業大学の研究グループでは、20GHz 帯の位相同期ループ(PLL: Phase Locked Loops)と、60GHz 帯の注入同期型直交局部発振器(ILO: Injection Locked Oscillator)を組み合わせた構成を採用した。

水晶発振器が生成した 36MHz の基準信号を PLL 回路に入力する。PLL 回路で周波数を 20GHz 帯にまで高め ILO に出し*²⁾、ILO で 20GHz 帯を 3 通倍して 60GHz 帯の信号を生成する仕組みである。

PLL 回路と ILO を組み合わせるという構成そのものは古くからあった。今回、60GHz 帯に適用し、位相雑音の小さい発振器を試作したことが新しい。「一般に、ILO の周波数を高くすると位相誤差が大きくなってしまいが、I 信号と Q 信号のミスマッチを回路設計の工夫で改善した」(岡田氏)。

65nm 世代の CMOS プロセスを採用し、局部発振器を試作した結果、位相雑音を 1MHz 離調時に -96dBc/Hz に抑えられた。60GHz 帯を使った無線通信の国際標準規格「IEEE 802.15.3c」では、変調方式として 16 値 QAM を採用している。16 値 QAM を実現するには、局部発振器の位相雑音を -90dBc/Hz 以下に抑える必要があり、この要求値を満たした。同研究グループではすでに、ダイレクトコンバージョン方式を採用した 60GHz 帯通信向け RF トランシーバ回路を試作済みだという。

注釈

*¹⁾ 2010 年 11 月 8 日～10 日の期間に中国の北京で開催された「2010 IEEE Asian Solid State Circuit Conference (A-SSCC 2010)」で発表した。タイトルは、「A 58-63.6GHz Quadrature PLL Frequency Synthesizer in 65nm CMOS」。

*²⁾ 20GHz 帯 PLL 回路を採用したのは、20GHz 帯 PLL 回路と 60GHz 帯 ILO の組み合わせが、最も位相特性を高めやすいと考えたため。PLL 回路の出力周波数を高めると、ILO にロックさせやすくなるが、PLL 回路そのものの特性は高めにくなる。