

クロック信号

電力1/10で発生

東工大 高性能LSIに道

東京工業大学の松沢昭教授らは低消費電力の大規模集積回路（LSI）につながる新しい回路技術を開発した。計算処理の基準となるクロックと呼ぶタイミング信号を、従来の10分の1以下の電力で発生できる。携帯型端末やセンサーで必要になる高性能なLSIに特に有効とみている。

京都市で開催中の半導体の国際学会「VLSIシンポジウム2009」で発表する。開発したのは、クロック信号を発生させる中核部品となる新型の「電圧制御発振器」。この発振器には複数のタイプがあるが、雑音を抑えて高動作を担うと低電圧では動作しない課題があった。研究チームは回路を工夫

して高動作と低消費電力を両立した。回路の中に、クロック信号を出す部分と、雑音の発生を抑える部分を分割して設ける新方式を考案。試作した素子で、0.2Vの低電圧動作に成功した。消費電力は従来の10分の1になり、性能も維持できた。

微細化が進む将来のLSIでは、電源電圧も低く抑える必要がある。研究チームによると、現在見通し。新技術は低消費電力型LSIの高性能化に不可欠とみている。