

表1 「A-SSCC 2005」の講演例 PDF形式のAdvance Programを <http://www.a-sscc.org/> から入手できる。

分野	品種	開発機関	概要	講演番号
アナログ	20Mサンプル/秒で消費電力33.7mWの14ビットA-D変換器	シャープ	パイプライン型で、+2.8V動作時の消費電力は33.7mWと小さい。非線形性の歪み補正をデジタル処理で実現した。SNDRは71.6dB、SFDRは82.3dB。180nmルールのCMOS技術で製造する。	2-1
	130nmルールのCMOS技術で製造した2.45GHz帯向けパワー・アンプ	ベルギーKatholieke Universiteit Leuven (K.U.Leuven大学)	4個のパワー・アンプ素子をオンチップで結合する回路構成を採用することで、幅広い出力範囲に対して高い電力付加効率を実現した。2.45GHz帯で-6dBmの入力に対する効率は28%。	5-3
無線通信/ 有線通信	270Mビット/秒伝送時に3.12mWの小型ディスプレイ向けシリリアル・リンク	韓国Seoul National University, 米Silicon Image, Inc	液晶パネルの制御ICとグラフィックスICを接続する用途を想定。clock edge modulation (CEM)を採用し、信号のDC成分を低減して低消費電力化を図った。180nmルールのCMOS技術で製造する。	1-1
	1.3G~2.8GHzと広範囲で設定可変の電圧制御発振器(VCO)	東京工業大学	可変インダクタとスイッチ・キャパシタをオンチップに作り込んで可変範囲の広帯域化を実現した。位相雑音は-205.9dBc/Hzと低い。180nmルールのCMOS技術で製造する。	11-1
デジタル	無線カプセル型内視鏡向け送信ICのデジタル回路設計	中国Tsinghua University	デジタル回路部は、制御部や撮像素子のインタフェース、画像圧縮回路、ベースバンド回路、発光ダイオードやアクチュエータのドライバ回路から成る。消費電力は+1.8V動作時に8.2mWと小さい。	9-1
	6.4Gビット/秒で送信時の端子当たりの消費電力を6.2mWに抑えたインタフェース回路	韓国Sungkyunkwan University, 韓国Samsung Electronics Co., Ltd.	携帯機器に搭載する高速DRAM用のLVDSインタフェース。半2重の構成をうまく利用し、送信動作時に受信アンプの出力を送信側のドライバにフィードバックさせ、低電力を維持しながら高速化を図った。	1-3
メモリ	待機時の消費電力を90%低減したSRAM	日立製作所	チャンネルの上下にゲートを持つダブル・ゲート構造を導入した。読み出しと書き込みごとにバック・ゲートの電圧を制御し、セル縮小と動作マージンの確保、待機時の消費電力低減を実現した。65nmルールのCMOS技術で製造。	4-1
	セル寸法が4.5F ² のNOR型フラッシュ・メモリ	米Silicon Storage Technology, Inc.	3次元のスプリット・ゲート・セルを採用し、NAND型並みのセル寸法を実現した。1セル当たり4値を記憶できる。110nmルールのCMOS技術を使って1Mビット規模のメモリ・チップを試作し、+1.8Vで動作することを確認した。	4-5
システム・レベル 搭載技術	電源電圧を5ns以下の時間で切り替えできるアクセラレータ回路	東京大学	電源電圧の変更速度を高速化して、低消費電力化する技術。変更速度を高めるためのスイッチと、制御回路を考案した。180nmルールのCMOS技術で試作した2万5000ゲート規模の回路で動作実験した。	6-1
	自己補正機能を備えた伝送速度3Gビット/秒のSerial ATAドライバ回路	台湾National Chiao Tung University, 台湾National Central University	Serial ATA方式に向けたLVDSドライバ回路。キャリブレーションも自動で実行する。ドライバ回路を徐々に動作させることで、スイッチング時の雑音信号の発生を抑えた。伝送速度3Gビット/秒で動作時の消費電力は11mW。	1-4
新技術・ 応用	短距離無線データ通信用のインタフェースLSI	金沢大学, 神戸大学, リニアサーキット	無線でデータ通信し、かつ電池を搭載せずに駆動できるマウス用のインタフェースLSI。変調方式にはFSKを使う。消費電力は、1mの距離で通信する場合に送信回路部が2.2mWで、データ伝送速度は10kビット/秒。	10-1
	ダイナミック・レンジが141.8dBのCMOSセンサ	静岡大学, 仙台電波工専, ヤマハ, 静岡県浜松工業技術センター	長時間モードの蓄積時間に比べて2万4180分の1と小さい蓄積信号を含む4種類の蓄積信号を読み出す。画素アレイの各列ごとに12ビットのA-D変換器を設けている。1/2インチ型でVGAのCMOSセンサを試作。	3-1

デジタル回路の詳細を明らかにする。特徴は、消費電力を低く抑えていること。デジタル信号処理部の消費電力は+1.8V動作時で8.2mWである。クロック制御部の待機電力は16μWと小さい。外付けする撮像素子が撮影する画像のデータを圧縮した上で送信回路に出力することで、送信回路の消費電力を低減させる工夫も施している。

フラッシュ・メモリ関連では、米Silicon Storage Technology, Inc. が、4.5F²とNAND型並みに小さいセル寸法を特徴としたNOR型を発表する[4-5]。3

次元構造のスプリット・ゲート・セルによって実現した。センス・アンプを改良して30nsのアクセス時間を得ており、高い集積度と高い動作速度を両立している。

消費電力を低減するために電源電圧を動的に変動させる「V_{dd}ホッピング」に向けて、東京大学は電源電圧を5ns以下の短時間で切り替えられる回路技術を発表する[6-1]。切り替え時間は従来に比べて2ケタ以上小さく、V_{dd}ホッピングによる消費電力を低減する効果が増すという。デジタル回路に電源を集積するオンチップ

電源に向ける。

撮像素子では静岡大学などがダイナミック・レンジが141.8dBと、世界最高のCMOSセンサを発表する[3-1]。人間の目のダイナミック・レンジは100dB~120dBといわれ、今回のCMOSセンサはこの水準を超えた。ダイナミック・レンジを広げるために、電荷の蓄積時間が長時間モードの2万4180分の1という短いモードを追加した。

(堀切 近史, 大久保 聡)

注1) A-SSCC 2005の会期は2005年11月1日~3日。台湾の新竹市で開催される。2006年以降も11月ごろにアジア地区で毎年開催する。